

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 9 月 10 日 (10.09.2004)

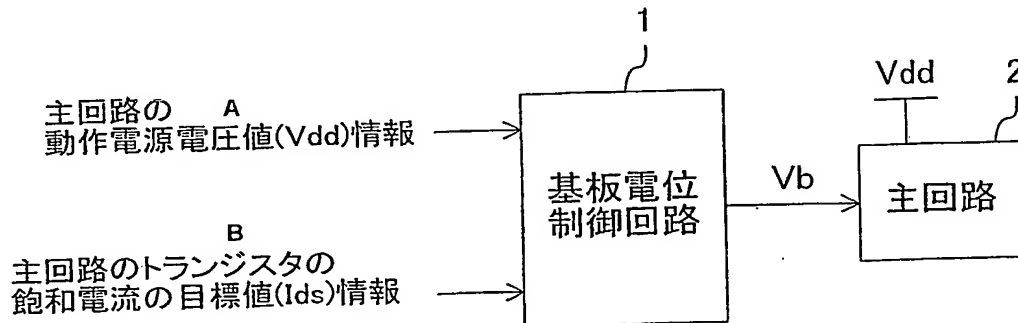
PCT

(10) 国際公開番号
WO 2004/077673 A1

- (51) 国際特許分類: H03K 17/687, 19/094, H01L 27/088 (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5500004 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 本町中島ビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/001942
- (22) 国際出願日: 2004 年 2 月 19 日 (19.02.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-047418 2003 年 2 月 25 日 (25.02.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 崎山 史朗 (SAKIYAMA, Shiro). 木下 雅善 (KINOSHITA, Masayoshi). 炭田 昌哉 (SUMITA, Masaya).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, [続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



A...INFORMATION CONCERNING OPERATING POWER SUPPLY VOLTAGE (Vdd) OF MAIN CIRCUIT
B...INFORMATION CONCERNING TARGET SATURATION CURRENT VALUE (IdS) OF TRANSISTOR OF MAIN CIRCUIT
1...SUBSTRATE POTENTIAL CONTROLLING CIRCUIT
2...MAIN CIRCUIT

(57) Abstract: A semiconductor integrated circuit comprises a main circuit (2) which is composed of a MOS transistor wherein a source and a substrate are separated from each other. A substrate potential controlling circuit (1) controls the substrate potential of the MOS transistor of the main circuit (2) so that the actual saturation current value of the MOS transistor which constitutes the main circuit (2) becomes equal to a target saturation current value (IdS) of the main circuit (2) at the operating power supply voltage (Vdd). Consequently, even when the operating power supply voltage of the semiconductor integrated circuit is lowered, variations in the operating speed can be suppressed within a small range.

[続葉有]

WO 2004/077673 A1



MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

BEST AVAILABLE COPY

(57) 要約: 半導体集積回路において、主回路2は、ソースと基板とが分離されたMOSトランジスタで構成される。基板電位制御回路1は、主回路2を構成するMOSトランジスタの実際飽和電流値が、主回路2の動作電源電圧 V_{dd} の下での目標飽和電流値 I_{ds} となるように、主回路2のMOSトランジスタの基板電位を制御する。従って、半導体集積回路の動作電源電圧が低電圧化しても、動作速度のばらつきを小さく抑制できる。